

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-297986

(43)Date of publication of application : 12.11.1996

(51)Int.Cl.

G11C 16/06

H02M 3/00

H02M 3/07

(21)Application number : 07-098823

(71)Applicant : SHARP CORP

(22)Date of filing : 24.04.1995

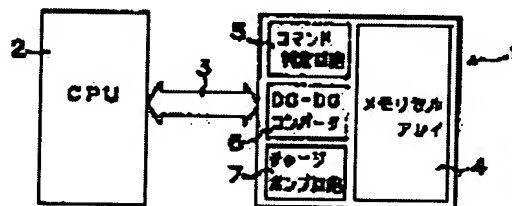
(72)Inventor : YAMANO KANAME

## (54) NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

**PURPOSE:** To obtain a memory excellent in power consumption, current supply capacity and balance of performance with respect to the operating speed and can be used easily by a system designer.

**CONSTITUTION:** A flash memory 1 comprises a DC-DC converter 6 for boosting the power supply voltage VCC to an intermediate level of +7V—+9V, and a charge pump circuit 7 for pumping the intermediate voltage up to a level of about +12V. More specifically, the DC-DC converter 6 having high voltage conversion efficiency and current supply capacity is combined with the charge pump circuit 7 having a short boosting time in a booster circuit.



## LEGAL STATUS

[Date of request for examination] 25.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3151123

[Date of registration] 19.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-297986

(43)公開日 平成8年(1996)11月12日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06			G 1 1 C 17/00	3 0 9 D
H 0 2 M 3/00			H 0 2 M 3/00	H
	3/07		3/07	

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21)出願番号 特願平7-98823

(22)出願日 平成7年(1995)4月24日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 山野 要

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

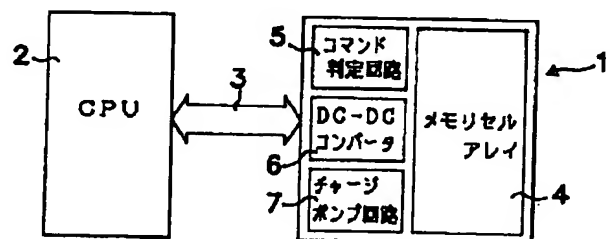
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】 電圧変換効率が高く電流供給能力の大きいD C-D Cコンバータ6と昇圧に要する時間の短いチャージポンプ回路7とを組み合わせた昇圧回路を用いることにより、消費電力や電流供給能力と動作速度についての性能バランスが優れたシステムの設計者が使い易いフラッシュメモリ1を提供することを目的としている。

【構成】 フラッシュメモリ1の内部に、電源電圧VCCを+7~+9V程度の中電圧に昇圧するD C-D Cコンバータ6と、この中電圧を+12V程度のチャージポンプ回路7とを備えた。



## 【特許請求の範囲】

【請求項 1】 低電圧と高電圧との間で 2 種類以上の動作電源電圧を必要とする不揮発性半導体記憶装置において、

外部から供給される低電圧の電源電圧を昇圧する DC-DC コンバータと、

該 DC-DC コンバータが昇圧した出力電圧をさらに昇圧し高電圧の電源電圧として供給するチャージポンプ回路とを備える不揮発性半導体記憶装置。

【請求項 2】 低電圧と中電圧と高電圧の 3 種類の動作電源電圧を必要とする不揮発性半導体記憶装置において、

外部から供給される低電圧の電源電圧を昇圧し中電圧の電源電圧として供給する DC-DC コンバータと、

該 DC-DC コンバータが昇圧した中電圧の電源電圧をさらに昇圧し高電圧の電源電圧として供給するチャージポンプ回路とを備える不揮発性半導体記憶装置。

【請求項 3】 前記不揮発性半導体記憶装置がフラッシュメモリであり、前記 DC-DC コンバータが供給する中電圧の電源電圧が該フラッシュメモリの書き込み時におけるドレイン-ソース端子間に印加されるものである請求項 2 に記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、フラッシュメモリ等のように 2 種類以上の動作電源電圧を必要とする不揮発性半導体記憶装置に関する。

## 【0002】

【従来の技術】上述したフラッシュメモリは、電気的消去が可能な不揮発性半導体記憶装置である EEPROM (Electrically Erasable Programmable Read Only Memory) の一種である。このフラッシュメモリは、消去動作を素子単位またはブロック単位で一括して行うことにより高集積化が可能となることから、従来の EEPROM の用途のみならず、大容量かつ低価格の記憶装置として種々の分野での応用が期待されている。

【0003】かかるフラッシュメモリのメモリセルは、図 6 に示すように、MOS (MetalOxide Semiconductor) 構造の FET (Field Effect Transistor) のゲート電極をコントロールゲート CG とフローティングゲート FG の 2 重構造としたものであり、このフローティングゲート FG 内の電子の有無によりデータの記憶を行うことができる。即ち、コントロールゲート CG に +5 V 程度の電圧を印加すると共に、ドレイン D に 1 V 程度の電圧を印加しソース S を接地 (0 V) すると、フローティングゲート FG 内に電子が存在しない場合には FET のしきい値電圧が低いためにドレイン D-ソース S 間にドレイン電流が流れる。一方、フローティングゲート FG 内に電子が存在する場合には、FET のしきい値電圧が高くなるので、このドレイン電流が流れなくなる。従っ

て、このドレイン電流によるドレイン D 側の電位の低下の有無を検出すれば、フローティングゲート FG 内の電子の有無に応じたデータの読み出しを行うことができる。

【0004】そして、このデータを消去する場合は、図 7 に示すように、コントロールゲート CG を接地してドレイン D を開放すると共に、ソース S に +12 V 程度の高電圧を印加する。すると、フローティングゲート FG 内の電子がトンネル電流によって引き抜かれてデータが消去される。

【0005】また、データを書き込む場合には、ホットエレクトロンを用いる通常のフラッシュメモリであれば、データを消去した状態で、図 8 に示すように、コントロールゲート CG に +12 V 程度の高電圧を印加すると共にソース S を接地し、書き込むデータに応じてドレイン D に +7 ~ +9 V 程度又は 0 V の電圧を印加する。この際、ドレイン D に +7 ~ +9 V 程度の電圧を印加すると、ドレイン D-ソース S 間に大きなドレイン電流が流れ、これによって発生した高エネルギーのホットエレクトロンがフローティングゲート FG 内に注入される。しかし、ドレイン D を接地 (0 V の電圧の印加) した場合には、このホットエレクトロンによる電子の注入が行われない。従って、ドレイン D に印加する電圧に応じて、フローティングゲート FG への電子の注入の有無を制御することができ、これによってデータの書き込みが可能となる。

【0006】ところで、フラッシュメモリは、携帯用機器等のようなバッテリーを電源とする用途が特に多く期待されている。しかし、上記のようにデータの消去時と書き込み時に +7 ~ +9 V や +12 V 程度の高電圧を必要とするので、このためにのみ別に高電圧の電源を設けなければならないとすると、機器の電源回路のコストが上昇して無駄が多いものとなる。そこで、機器の標準電圧となる電源電圧 VCC を高電圧 Vpp に昇圧させる昇圧回路を設けることにより、フラッシュメモリの単一電源化を図る提案が従来からなされていた。

【0007】昇圧回路としてチャージポンプ回路を内蔵させた従来のフラッシュメモリを図 9 に示す。この図 9 では、フラッシュメモリ 1 が機器を制御するための CPU 2 にバスライン 3 を介して接続された場合を示す。なお、このバスライン 3 には、I/O ポート 11 を介した周辺装置 12 やその他の図示しない各種デバイスが接続される。フラッシュメモリ 1 は、内部にメモリセルアレイ 4 とコマンド判定部 5 に加えて、チャージポンプ回路 7 を備えている。

【0008】コマンド判定部 5 は、CPU 2 から送られて来た制御信号がデータの書き込み処理、消去処理又は読み出し処理等のいずれであるかを判定する回路である。そして、制御信号が高電圧を必要とする書き込み処理又は消去処理であると判定した場合には、チャージポ

ンプ回路7に高電圧を供給するための昇圧制御信号を送出し、また、これらの処理が終了した場合には、高電圧の供給を停止するための昇圧制御信号を送出する。

【0009】チャージポンプ回路7は、このコマンド判定部5からの昇圧制御信号に応じて高電圧の供給と停止を行う。上記チャージポンプ回路7の具体的構成例を図10に示す。

【0010】このチャージポンプ回路7は、電源13から機器の標準電圧である電源電圧VCCの供給を受けている。チャージポンプ回路7は、第1コンデンサ14と第2コンデンサ15からなり、第1コンデンサ14は、双方の電極がそれぞれスイッチ16、17を介して電源13の正負極に接続されている。また、第2コンデンサ15は、スイッチ18、19を介して第1コンデンサ14に並列に接続されると共に、この第2コンデンサ15の負極側の電極が電源13の正極に接続されている。そして、電源13の負極と第2コンデンサ15の正極側の電極とが高電圧を発生する出力端子20、20となる。なお、スイッチ16～19は、通常は無接点の半導体スイッチが用いられる。

【0011】このチャージポンプ回路7は、コマンド判定部5から高電圧を供給する昇圧制御信号を受け取ると、まずスイッチ16、17を閉じて第1コンデンサ14を充電する。次に、これらのスイッチ16、17を開くと共にスイッチ18、19を閉じる。すると、第1コンデンサ14の充電電圧が並列接続された第2コンデンサ15との間で容量分圧される。しかも、第2コンデンサ15の負極側の電極は電源13の正極に接続されているので、この第2コンデンサ15の正極側の電極は電源電圧VCCに容量分圧された充電電圧を加えた電圧まで昇圧される。即ち、出力端子20、20には、最大で電源電圧VCCの2倍までの電圧を得ることができる。

【0012】また、このようなチャージポンプ回路7を多段に接続すれば、電源電圧VCCの2倍を超える電圧を得ることもできる。ただし、スイッチ16～19やコンデンサ14、15の内部抵抗により電圧降下が生じるので、実際に出力端子20、20から得られる電圧は多少低下する。なお、昇圧を行うためだけであれば、第2コンデンサ15を設けなくても、スイッチ18、19を閉じた時点で第1コンデンサ14の正極側の端子から電源電圧VCCの2倍の高電圧を得ることができる。しかし、第2コンデンサ15を設けておけば、これらのコンデンサ14、15による容量分圧の比を変更することで昇圧する電圧を電源電圧VCCの2倍までの間で調整することができる。また、このように2個のコンデンサ14、15を使用すれば、再度スイッチ18、19を開いて上記昇圧動作を繰り返した場合の出力電圧の変動を低減することもできる。

【0013】上記チャージポンプ回路7から出力された高電圧は、図9に示したメモリセルアレイ4に供給され

てデータの書き込み処理又は消去処理が実行される。従って、このフラッシュメモリ1は、機器の基準電圧となる電源電圧VCCを供給するだけで、高電圧を内部的に発生してデータの書き込み処理や消去処理を行うことができる。

【0014】また、特開平6-203584号公報には、昇圧回路としてDC-DCコンバータを用いたフラッシュメモリが提案されている。図11に示すように、このフラッシュメモリ1は、DC-DCコンバータ6に昇圧制御信号を送ると共に、このDC-DCコンバータ6から高電圧Vppの供給を受けている。また、これらのフラッシュメモリ1とDC-DCコンバータ6は、電源として機器の基準電圧となる電源電圧VCCと接地電圧GNDが供給される。

【0015】CPU等の制御装置からこのフラッシュメモリ1に制御信号が送られて来ると、この制御信号がデータの書き込み処理か消去処理であった場合には、DC-DCコンバータ6に対して高電圧を供給するための昇圧制御信号を送る。すると、このDC-DCコンバータ6は、電源電圧VCCの電圧を変換することにより高電圧Vppを発生させてフラッシュメモリ1に供給する。

【0016】フラッシュメモリ1は、この高電圧Vppの供給を受けて、CPU等の制御装置から送られて来るアドレスとデータに基づきデータの書き込み処理を行ったり素子全体又は一部のブロックのデータの消去処理を行う。従って、このフラッシュメモリ1では、DC-DCコンバータ6が内蔵される場合は勿論、外部に接続される場合であっても、CPU等の制御装置は、このDC-DCコンバータ6の制御を行う必要がなくなり、実質的な単一電源化を図ることができる。

【0017】

【発明が解決しようとする課題】ところが、上記チャージポンプ回路7は、第1コンデンサ14の充電が完了すればスイッチ16～19のスイッチングだけで高電圧を得ることができるので短時間に昇圧が完了するという利点は有するものの、電圧変換効率は30%程度しかなく、しかも、コンデンサ14、15に蓄積した電荷のみによって電流を供給するので電流供給能力が低いという欠点がある。また、上記DC-DCコンバータ6は、電圧変換効率が80%以上の高効率となり、十分な電流供給能力を有するという利点があるが、スイッチングを繰り返して徐々に昇圧を行うものであるため、所定の高電圧を得るまでに長時間を要するという欠点を有する。

【0018】このため、昇圧回路にチャージポンプ回路7を用いた従来のフラッシュメモリ1は、電圧変換効率が低いために電力消費が大きくなり、特にバッテリーを電源とする機器に用いる場合に低消費電力化の妨げになるという問題があった。しかも、電子の注入にホットエレクトロンを用いる通常のフラッシュメモリ1の場合には、書き込み時に数mA程度の大きなドレイン電流が必

要となり、素子全体では数十mA程度の電流となるので、この電流を十分に供給するためには極めて容量の大きいコンデンサ14、15を用いなければならず、このチャージポンプ回路7の占有スペースが大きくなって機器の小型化の障害になるという問題もあった。

【0019】また、昇圧回路にDC-DCコンバータ6を用いた従来のフラッシュメモリ1では、昇圧に長時間を要するので、データの書き込みや消去の制御信号を送ってから所定の高電圧を得て実際に書き込み処理や消去処理が実行されるまでの時間が非常に長くなり、このフラッシュメモリ1を用いたシステムのパフォーマンスが極端に低下するという問題があった。

【0020】なお、上記問題は、フラッシュメモリ1に限らず、2種類以上の動作電源電圧を必要とする不揮発性半導体記憶装置に共通するものである。

【0021】本発明は、このような従来技術の課題を解決すべくなされたものであり、チャージポンプ回路とDC-DCコンバータを組み合わせた昇圧回路を用いることにより、消費電力や電流供給能力と動作速度についての性能バランスが優れた、システムの設計者にとって使い易い不揮発性半導体記憶装置を提供することを目的としている。

【0022】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、低電圧と高電圧との間で2種類以上の動作電源電圧を必要とする不揮発性半導体記憶装置において、外部から供給される低電圧の電源電圧を昇圧するDC-DCコンバータと、該DC-DCコンバータが昇圧した出力電圧をさらに昇圧し高電圧の電源電圧として供給するチャージポンプ回路とを備え、そのことにより上記目的が達成される。

【0023】また、本発明の不揮発性半導体記憶装置は、低電圧と中電圧と高電圧の3種類の動作電源電圧を必要とする不揮発性半導体記憶装置において、外部から供給される低電圧の電源電圧を昇圧し中電圧の電源電圧として供給するDC-DCコンバータと、該DC-DCコンバータが昇圧した中電圧の電源電圧をさらに昇圧し高電圧の電源電圧として供給するチャージポンプ回路とを備え、そのことにより上記目的が達成される。この本発明の不揮発性半導体記憶装置において、前記不揮発性半導体記憶装置がフラッシュメモリであり、前記DC-DCコンバータが供給する中電圧の電源電圧が該フラッシュメモリの書き込み時におけるドレインソース端子間に印加される構成とすることができる。

【0024】

【作用】上記構成により、低電圧の電源電圧をDC-DCコンバータで一旦中間の電圧まで昇圧し、この中間の電圧をチャージポンプ回路でさらに昇圧して動作時に用いる高電圧の電源電圧として供給するので、外部からは単一の低電圧の電源電圧のみを供給するだけで、2種類

以上の動作電源電圧を必要とする不揮発性半導体記憶装置を動作させることができる。しかも、低電圧の電源電圧をチャージポンプ回路のみによって高電圧に昇圧する場合に比べ、DC-DCコンバータを用いる分だけ効率よく電圧の変換を行うことができるので、消費電力を低減することができる。また、低電圧の電源電圧をDC-DCコンバータのみによって高電圧に昇圧する場合に比べ、昇圧に長時間を要するこのDC-DCコンバータでの昇圧の割合合いが小さくなる分だけ迅速に高電圧を得て動作速度の高速化を図ることができる。さらに、このDC-DCコンバータのスイッチ回路に印加される電圧を小さくすることができる。

【0025】従って、2種類以上の動作電源電圧を必要とする不揮発性半導体記憶装置を単一電源化する場合に、動作速度を大きく犠牲にすることなく、消費電力を比較的小さくすることができ、しかも、DC-DCコンバータにおけるスイッチ回路の耐電圧の負担を軽減することもできる。

【0026】また、上記構成により、DC-DCコンバータが昇圧した電圧を中電圧の電源電圧として供給し、チャージポンプ回路が昇圧した電圧を高電圧の電源電圧として供給するので、別個に降圧回路を設けることなく不揮発性半導体記憶装置に3種類の動作電源電圧を供給することができる。しかも、動作時に中電圧の電源電圧が大きな電流を必要とする場合にも、電流供給能力の高いDC-DCコンバータによって十分な電流を供給することができる。

【0027】従って、3種類の動作電源電圧を必要とする不揮発性半導体記憶装置を単一電源化する場合に、中電圧を得るための降圧回路を設ける必要がなくなるだけでなく、この中電圧に大きな電流を供給することができるようになる。

【0028】さらに、上記構成によれば、特にデータの書き込み時に中電圧の電源電圧を印加してドレインソース端子間に大きな電流を流す必要のあるフラッシュメモリにおいても、電流供給能力の高いDC-DCコンバータによって十分な電流を供給することができるようになる。また、このフラッシュメモリは、高電圧の電源電圧を印加する場合には大きな電流を必要としないので、電流供給能力の低いチャージポンプ回路からの供給であっても十分に足りる。

【0029】なお、ここでいう低電圧と中電圧と高電圧は、それぞれ共通の基準電圧に対する電位差を意味する。従って、これら低電圧と中電圧と高電圧が接地電圧を基準として順に電位差の大きい正の電圧となる場合だけでなく、例えば正の電圧を基準とし、0Vの電圧を低電圧、負の電圧を高電圧とするような場合であってもよい。

【0030】また、ここでいうDC-DCコンバータとは、インダクタンス素子と発振回路とからなるインバー

タと、整流素子からなる整流回路とを組み合わせた直流電圧変換回路をいい、チャージポンプ回路は、コンデンサとスイッチとの組み合わせによる昇圧回路をいう。

【0031】さらに、DC-DCコンバータとチャージポンプ回路は、不揮発性半導体記憶装置と同一の半導体基板上に形成してもよいし、それぞれ別の基板上に形成してハイブリットICを構成したり、単にユニット化するだけでもよい。ただし、これらの回路を同一の半導体基板上に形成する場合であっても、インダクタンス素子やコンデンサ等については外部に外付けすることができる。

【0032】

【実施例】以下、図面を参照しながら、本発明の実施例を詳述する。

【0033】図1乃至図5は本発明の一実施例を示すものであって、図1はフラッシュメモリを示すブロック図、図2はDC-DCコンバータの構成を示す回路ブロック図、図3は書き込み時におけるDC-DCコンバータとチャージポンプ回路とメモリセルアレイとの接続を示すブロック図、図4は消去時におけるDC-DCコンバータとチャージポンプ回路とメモリセルアレイとの接続を示すブロック図、図5はフラッシュメモリの動作を示すフローチャートである。なお、図9～図11に示した従来例と同様の機能を有する構成部材には同じ番号を付記する。

【0034】本実施例は、不揮発性半導体記憶装置としてフラッシュメモリを用いた場合について説明する。ただし、2種類以上の動作電源電圧を必要とするものであれば、他の不揮発性半導体記憶装置であっても同様に実施することができる。

【0035】本実施例で示す電子機器は、機器内部に装着されたバッテリーから定電圧回路を介して例えば+5Vの電源電圧VCCを単一電源として供給するようになっている。そして、図1に示すように、フラッシュメモリ1は、この電子機器の制御を行うためのCPU2にバスライン3を介して接続されている。フラッシュメモリ1は、内部にメモリセルアレイ4とコマンド判定部5に加えて、昇圧回路としてDC-DCコンバータ6とチャージポンプ回路7とを備えている。コマンド判定部5は、CPU2から送られて来た制御信号がデータの書き込み処理、消去処理又は読み出し処理のいずれであるかを判定するデコード回路と制御回路等からなる。そして、制御信号が高電圧を必要とする書き込み処理又は消去処理であると判定した場合には、後に詳細に説明するようにDC-DCコンバータ6に昇圧制御信号を送出する。

【0036】DC-DCコンバータ6は、インバータと整流回路とを組み合わせた直流電圧変換回路である。また、インバータは、インダクタンス素子と発振回路とからなる直流を交流又は脈流に変換する回路である。ただし、ここでの発振回路は、正弦波を発振するような通

常の発振回路の他、矩形波等を発振するようなものでもよく、自励又は他励によってインダクタンス素子と電源との間を繰り返し断続するいわゆるチョッパ回路であってもよい。整流回路は、ダイオード等の整流素子からなり、通常は平滑用のコンデンサを有する。

【0037】本実施例では、上記DC-DCコンバータ6として、図2に示すようないわゆる昇圧チョッパ回路を用いる。このDC-DCコンバータ6は、電源電圧VCCと接地間にインダクタンス素子601とスイッチ602とが接続されて上記インバータが構成されている。インダクタンス素子601はコイルであり、スイッチ602は、発振器603からの発振周期に従って制御回路604により繰り返しON/OFFを制御される半導体スイッチである。また、これらインダクタンス素子601とスイッチ602との間の接続ノードには、ダイオード605を介して出力端子606が接続されると共に、この出力端子606と接地間に出力電圧を安定させるための平滑コンデンサ607が接続されて上記整流回路が構成される。従って、制御回路604に制御されてスイッチ602がONになると、インダクタンス素子601に電源電圧VCCからの電流が供給されて磁氣的エネルギーが蓄積される。そして、スイッチ602がOFFになって電流が遮断されると、このインダクタンス素子601に蓄積された磁氣的エネルギーが電磁誘導（自己誘導）によって電流に変換され、ダイオード605を通り平滑コンデンサ607を充電する。そして、この動作が繰り返されることにより、平滑コンデンサ607の端子電圧が上昇し、出力端子606から高電圧を出力することができるようになる。ただし、この出力端子606の電圧は、スイッチ602がON/OFFを繰り返すことにより徐々に上昇するので、所定の高電圧を安定して出力できるようになるまではある程度の時間を要する。しかし、安定した高電圧が出力されるようになると、スイッチ602のON/OFFの繰り返しにより電流が順次供給されるので電流供給能力は十分に大きくなる。また、直流電力をインバータ（チョッパ回路）と整流回路とで電圧変換するので、電圧変換効率も80%の高効率となる。なお、インダクタンス素子601は、十分なインダクタンスを得るために小型化には限度があるので、フラッシュメモリ1の素子に外付けされることになる。

【0038】上記DC-DCコンバータ6は、出力端子606から出力される高電圧を検出するために、平滑コンデンサ607に対して並列に分圧抵抗608、609が接続されている。そして、これらの分圧抵抗608、609によって分圧された分圧電圧は、差動増幅器610の反転入力に入力される。この差動増幅器610の非反転入力には基準電圧が入力される。基準電圧は、電源電圧VCCに基づきツェナダイオード等を用いて得た電源電圧VCCの変動に依存しない一定電圧であり、出力端子606の出力電圧が所定の高電圧に達したときの分圧抵

抗608, 609による分圧電圧と一致するような電圧に設定されている。差動増幅器610は、これら反転入力と非反転入力の電位差を増幅して出力する増幅器であり、反転入力に入力された分圧電圧が基準電圧を超えると、発振器603と制御回路604にLレベルの信号を送る。この差動増幅器610からLレベルの信号を受け取ると、発振器603は発振を停止し、制御回路604はスイッチ602を強制的にOFF状態にする。また、この状態で出力端子606から電流が流出することにより平滑コンデンサ607が放電して電圧が低下すると、分圧抵抗608, 609での分圧電圧が基準電圧よりも低くなるので、差動増幅器610の出力がHレベルとなり、発振器603が発振を再開すると共に、制御回路604がこの発振周期でスイッチ602のON/OFFを再開させる。従って、ここでは、出力端子606の出力電圧を検出することによりDC-DCコンバータ6の動作を制御して、この出力端子606の出力電圧が常に所定の高電圧を維持できるようにしている。また、本実施例のDC-DCコンバータ6は、フラッシュメモリ1が要求する+12V程度の高電圧よりは低い+7~+9V程度の高電圧(以降、この電圧を「中電圧」と称する)を出力するように設定されているので、+12V程度の電圧まで昇圧する従来のものに比べ比較的短時間に出力電圧を安定させることができる。

【0039】また、上記DC-DCコンバータ6は、電源電圧VCCを監視するために、この電源電圧VCCと接地間に分圧抵抗611, 612が接続されている。そして、これらの分圧抵抗611, 612によって分圧された分圧電圧は、差動増幅器613の非反転入力に入力される。この差動増幅器613の反転入力には上記基準電圧が入力される。また、分圧抵抗611, 612は、電源電圧VCCが規定通りの電圧値である場合に、分圧電圧がこの基準電圧と一致するような分圧比に設定されている。差動増幅器613は、上記差動増幅器610と同様の増幅器であり、非反転入力に入力された分圧電圧が基準電圧を超えると制御回路604にHレベルの信号を送り、この分圧電圧が基準電圧よりも低くなるとLレベルの信号を送る。制御回路604は、この差動増幅器613の出力に応じてスイッチ602のON/OFFのデューティ比を制御する。即ち、差動増幅器613の出力がHレベルである場合には、スイッチ602のON時間を短くしてDC-DCコンバータ6が昇圧し得る電圧を低下させ、Lレベルである場合にはスイッチ602のON時間を長くして昇圧し得る電圧を上昇させる。従って、ここでは電源電圧VCCの電圧値に応じてDC-DCコンバータ6の昇圧能力を制御することにより、回路動作の最適化を行い高い電圧変換効率を維持できるようにしている。なお、差動増幅器613は、H/Lレベルの信号ではなく、分圧電圧と基準電圧との差電圧を非飽和領域内で増幅したアナログ電圧を出力し、このアナログ電圧

に応じて制御回路604がスイッチ602のON/OFFのデューティ比を制御するようにしてもよい。

【0040】チャージポンプ回路7は、基本的にはコンデンサと、このコンデンサを電源電圧VCCで充電するためのスイッチと、このコンデンサの一方の電極と電源電圧VCCとの接続を逆転させるためのスイッチとで構成される昇圧回路であり、図10に示した従来例と同様のものを用いることができる。ただし、本実施例のチャージポンプ回路7は、電源電圧VCCではなく、DC-DCコンバータ6が昇圧した+7~+9V程度の中電圧をさらに+12V程度の高電圧に昇圧するようになっている。このチャージポンプ回路7は、1段構成であれば1回のコンデンサへの充電とスイッチングによって昇圧が完了するので、短時間に高電圧を得ることができる。しかし、電荷が蓄積されたコンデンサからのみ電流を供給するので、電流供給能力は低くなる。また、電圧変換効率も30%程度の低効率となるが、本実施例の場合には、+7~+9V程度から+12V程度までの比較的電位差の少ない昇圧を行うので、この低い電圧変換効率による電力の無駄は従来よりも少なくなる。なお、このチャージポンプ回路7に用いるコンデンサは、フラッシュメモリ1の素子内に形成することが困難である場合には、外付けにすることもできる。

【0041】上記DC-DCコンバータ6には、図3に示すように、電源電圧VCCが供給され、このDC-DCコンバータ6が昇圧して出力する中電圧(+7~+9V)が上記チャージポンプ回路7に供給されるようになっている。また、DC-DCコンバータ6は、図1に示したコマンド判定部5から昇圧制御信号として昇圧の開始信号が送られて来ると上記昇圧動作を開始し、チャージポンプ回路7は、このDC-DCコンバータ6から出力される中電圧が所定の電圧に達すると昇圧を開始する。DC-DCコンバータ6から出力される中電圧は切替スイッチ8に送られると共に、チャージポンプ回路7から出力される高電圧(+12V)は切替スイッチ9に送られる。これらの切替スイッチ8, 9は、書き込み時と消去時とで切り替わる回路であり、書き込み時には、DC-DCコンバータ6から出力される中電圧が切替スイッチ8を介してメモリセルアレイ4における選択メモリセルのドレインDに供給されると共に、チャージポンプ回路7から出力される高電圧が切替スイッチ9を介してメモリセルアレイ4における選択メモリセルのコントロールゲートCGに供給される。そして、これによりメモリセルアレイ4が図8に示した書き込み動作を行う。また、消去時には、図4に示すように、切替スイッチ8, 9が切り替わり、DC-DCコンバータ6から出力される中電圧はメモリセルアレイ4には供給されず、チャージポンプ回路7から出力される高電圧のみが切替スイッチ9を介してメモリセルアレイ4における消去ブロックのメモリセルのソースSに供給される。そして、こ



れによりメモリセルアレイ 4 が図 7 に示した消去動作を行う。

【0042】上記構成のフラッシュメモリ 1 のデータの書き込み時と消去時の動作を図 5 のフローチャートに基づいて説明する。なお、図 5 の左側に示したフローチャートはシステム側の CPU 2 の動作を示すものであり、右側に示したフローチャートはフラッシュメモリ 1 側の内部動作を示すものである。まず、ステップ（以下

「S」という）1 において、CPU 2 がバスライン 3 を介しフラッシュメモリ 1 にデータの書き込み又は消去のコマンドを送出する。また、書き込みコマンドを送る場合には、引き続きバスライン 3 を介し書き込みを行うアドレスとデータも送出的る。

【0043】フラッシュメモリ 1 側では、このコマンドを受け取って、コマンドの内容が書き込み又は消去のいずれかであるかどうかをコマンド判定部 5 が判断する

(S11)。ここで、コマンドの内容が読み出し等であった場合には、電源電圧 VCC のみで動作が可能であるため、そのままこのコマンドの内容に応じた他の動作を実行する。しかし、コマンドの内容が書き込み又は消去であった場合には、コマンド判定部 5 が DC-DC コンバータ 6 に昇圧の開始信号を送る (S12)。DC-DC コンバータ 6 では、この開始信号を受け取ると直ちに上記昇圧動作を開始する。また、チャージポンプ回路 7 は、この DC-DC コンバータ 6 の出力電圧が所定の中電圧 (+7 ~ +9 V 程度) に達した場合に昇圧動作を開始して高電圧 (+12 V 程度) を出力する。そして、DC-DC コンバータ 6 の出力電圧が所定の中電圧で安定すると、コマンド判定部 5 は、コマンドの内容が書き込みかどうかを判断して (S13)、書き込みコマンドであれば書き込み処理を実行し (S14)、消去コマンドであれば消去処理を実行する (S15)。

【0044】S14 の書き込み処理では、切替スイッチ 8、9 を図 3 に示したように切り替えると共に、CPU 2 からバスライン 3 を介して送られて来るアドレスとデータを受け取り、このアドレスに基づいて選択した選択メモリセルに対してデータに応じた書き込み動作を行う。即ち、図 8 で示したように、選択メモリセルのコントロールゲート CG にチャージポンプ回路 7 から供給される高電圧 (+12 V) を印加すると共にソース S を接地し、書き込むデータに応じてドレイン D に DC-DC コンバータ 6 から供給される中電圧 (+7 ~ +9 V) を印加するか又は接地する。この際、ドレイン D に中電圧が印加された場合には、この選択メモリセルにホットエレクトロンを発生させるための大きなドレイン電流が流れる。しかし、DC-DC コンバータ 6 は、電流供給能力が大きいので、この中電圧によるドレイン電流を十分に供給することができる。また、コントロールゲート CG にはほとんど電流が流れないので、ここに高電圧を印加するチャージポンプ回路 7 は大きな電流供給能力を要

しない。そして、データの書き込みが確認されると、ステータスレジスタの書き込みの成功を示すフラグをセットする。

【0045】S15 の消去処理では、切替スイッチ 8、9 を図 4 に示したように切り替えると共に、図 7 で示したように、メモリセルアレイ 4 の各メモリセルに対してコントロールゲート CG を接地してドレイン D を開放し、ソース S にチャージポンプ回路 7 から供給される高電圧 (+12 V) を印加する。この際、ソース S にはほとんど電流が流れないので、ここに高電圧を印加するチャージポンプ回路 7 は大きな電流供給能力を要しない。そして、データの消去が確認されると、ステータスレジスタの消去の成功を示すフラグをセットする。

【0046】システム側では、S1 で書き込み又は消去のコマンドを送出した後に、フラッシュメモリ 1 のステータスレジスタの内容をバスライン 3 を介して読み出すと共に (S2)、このステータスレジスタのフラグがセットされているかどうかにより書き込み処理又は消去処理が成功したかどうかを判断し (S3)、まだ成功していないと判断した場合には再び S2 に戻ってこれらの処理が成功するまで待機する。そして、上記 S14 の書き込み処理又は S15 の消去処理が完了してステータスレジスタのフラグがセットされると、S3 でこれを検出して、CPU 2 がバスライン 3 を介しフラッシュメモリ 1 に書き込み又は消去の終了信号を送出し、システム側の処理を完了する。なお、システム側では、この後も引き続きフラッシュメモリ 1 のデータの書き込み又は消去を行う場合には、S4 の終了信号を送出することなく、S1 に戻って上記処理を繰り返すことができる。

【0047】フラッシュメモリ 1 側では、上記 S14 の書き込み処理又は S15 の消去処理が完了すると、CPU 2 から終了信号が送られて来るのを待機する (S16)。そして、この終了信号を受け取ると、コマンド判定部 5 が昇圧の停止信号を DC-DC コンバータ 6 に送り、これによって DC-DC コンバータ 6 が昇圧動作を停止するとフラッシュメモリ 1 側の処理を完了する。なお、S16 で終了信号の待機中に再度書き込み又は消去のコマンドを受け取った場合には、再び S11 の処理に戻り上記処理を繰り返すことができる。フラッシュメモリ 1 がシステム側からの終了信号を待って S17 で DC-DC コンバータ 6 の昇圧動作を停止させるのは、このように引き続きデータの書き込み又は消去を行う場合に、DC-DC コンバータ 6 の昇圧動作を最初からやり直す無駄を省くためである。ただし、S16 で終了信号や書き込み又は消去のコマンドを受け取ることなく所定時間が経過した場合には、DC-DC コンバータ 6 による無駄な電力消費を避けるために、そのまま S17 に移行してフラッシュメモリ 1 側の処理を終了するさせるようにしてもよい。

【0048】以上説明したように、本実施例のフラッシ



メモリ 1 によれば、+5V の電源電圧 VCC を DC-DC コンバータ 6 で一旦 +7~+9V 程度の中電圧まで昇圧し、この中電圧をチャージポンプ回路 7 でさらに昇圧して +12V 程度の高電圧を得るので、電圧変換効率の低いチャージポンプ回路 7 のみによって電源電圧 VCC を高電圧まで昇圧する従来例の場合に比べ、比較的効率よく電圧の変換を行い消費電力を低減することができる。従って、バッテリーを電源とする携帯用機器等にこのフラッシュメモリ 1 を用いた場合にも、このバッテリーを長寿命化することができる。また、昇圧に長時間を要する DC-DC コンバータ 6 のみによって電源電圧 VCC を高電圧まで昇圧する従来例の場合に比べ、迅速に安定した高電圧を得ることができるので、フラッシュメモリ 1 の動作速度の高速化を図ることができ、電子機器のパフォーマンスを低下させるようなことがなくなる。例えば、本実施例の場合、DC-DC コンバータ 6 のみによって昇圧を行う場合に比べ、昇圧に要する時間を約 3~4μ秒短縮することができる。しかも、この DC-DC コンバータ 6 で昇圧する電圧が高電圧よりも低い +7~+9V 程度の中電圧となるので、スイッチ 602 に加わる負担を軽減することができる。

【0049】さらに、本実施例のフラッシュメモリ 1 は、書き込み処理時に選択メモリセルのドレイン D に印

加する +7~+9V 程度の中電圧を電流供給能力の大きい DC-DC コンバータ 6 から供給するので、このドレイン D に流れる大きなドレイン電流を十分に供給することができるようになる。また、例えば電源電圧 VCC が 5V であれば、書き込み処理時にこの電源電圧 VCC を直接選択メモリセルのドレイン D に印加することも可能となる。しかし、バッテリーを電源とする携帯用機器等では、消費電力を少なくするために近年電源電圧 VCC の低電圧化が進み、3V の電源電圧 VCC で駆動されるものも多くなっている。そして、このような場合には、選択メモリセルのドレイン D に印加する電圧は電源電圧 VCC では低すぎるので、必ず +7~+9V 程度の中電圧が必要となる。そこで、本実施例のように中電圧を DC-DC コンバータ 6 から直接供給することができれば、昇圧によって得た +12V 程度の高電圧を再び降圧する降圧回路を設ける必要もなくなる。

【0050】本実施例のように DC-DC コンバータ 6 とチャージポンプ回路 7 との組み合わせによって高電圧を発生させた場合と、チャージポンプ回路 7 のみ又は DC-DC コンバータ 6 のみで高電圧を発生させた場合の利害得失を表 1 にまとめる。

【0051】

【表 1】

	チャージポンプ回路	DC-DC コンバータ	本実施例
消費電力	最大	最小	小
昇圧に要する時間	最短	最長	短時間
電流供給能力	小	大	大

【0052】チャージポンプ回路 7 のみを用いた場合には、消費電力が最も大きくなり電流供給能力も小さくなるが、昇圧に要する時間は最短となる。また、DC-DC コンバータ 6 のみを用いた場合には、昇圧に要する時間は最長であるが、消費電力が最小となり電流供給能力も十分に有する。

【0053】これに対して、本実施例では、消費電力が比較的小さく、昇圧に要する時間も比較的短くなり、中電圧については十分な電流供給能力を有するものとなるので、システム全体のパフォーマンスを考慮する上で設計者にとって使い易い性能バランスの優れたフラッシュメモリ 1 となる。

【0054】

【発明の効果】以上の説明から明らかなように、本発明の不揮発性半導体記憶装置によれば、2 種類以上の動作電源電圧を必要とする不揮発性半導体記憶装置を単一電源化すると共に、これによって動作速度が大きく低下することなく、消費電力も比較的小さくできるので、システム全体のパフォーマンスを考慮する上で設計者にとって使い易い性能バランスの優れた不揮発性半導体記憶装

置を提供することができるようになる。しかも、DC-DC コンバータでの昇圧の割り合いが小さくて済むので、昇圧した電圧をスイッチングするスイッチ回路への負担を軽減することができる。

【0055】また、DC-DC コンバータにより中電圧の電源電圧を供給するので、3 種類の動作電源電圧を必要とする不揮発性半導体記憶装置においても別個に降圧回路を設ける必要がなくなるだけでなく、特にフラッシュメモリ等の不揮発性半導体記憶装置において、この DC-DC コンバータから十分な電流の供給を受けて確実な動作を行うことができるようになる。

【図面の簡単な説明】

【図 1】本発明の一実施例を示すものであって、フラッシュメモリを示すブロック図である。

【図 2】本発明の一実施例を示すものであって、DC-DC コンバータの構成例を示す回路ブロック図である。

【図 3】本発明の一実施例を示すものであって、書き込み時における DC-DC コンバータとチャージポンプ回路とメモリセルアレイとの接続を示すブロック図である。

【図4】本発明の一実施例を示すものであって、消去時におけるDC-DCコンバータとチャージポンプ回路とメモリセルアレイとの接続を示すブロック図である。

【図5】本発明の一実施例を示すものであって、フラッシュメモリの動作を示すフローチャートである。

【図6】読み出し時におけるフラッシュメモリのメモリセルの動作を示す回路図である。

【図7】消去時におけるフラッシュメモリのメモリセルの動作を示す回路図である。

【図8】書き込み時におけるフラッシュメモリのメモリセルの動作を示す回路図である。

【図9】従来例を示すものであって、フラッシュメモリとこれを用いるシステムの構成を示すブロック図である。

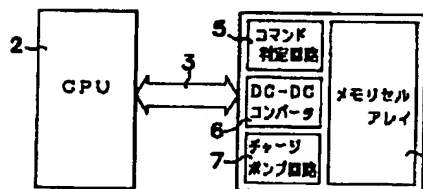
【図10】チャージポンプ回路の構成例を示す回路図である。

【図11】従来例を示すものであって、フラッシュメモリとDC-DCコンバータとを示すブロック図である。

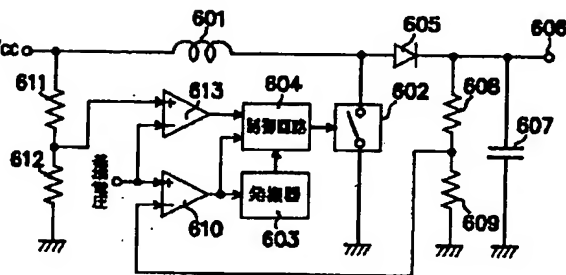
【符号の説明】

- 1 フラッシュメモリ
- 6 DC-DCコンバータ
- 7 チャージポンプ回路

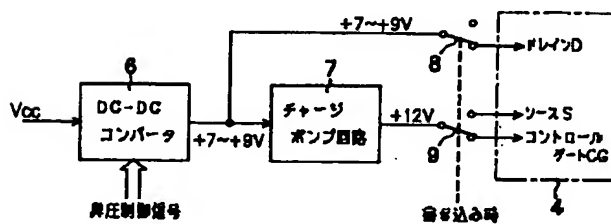
【図1】



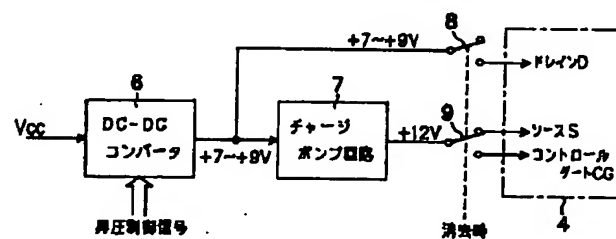
【図2】



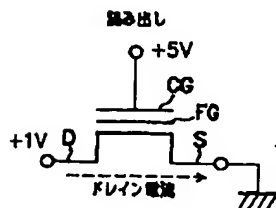
【図3】



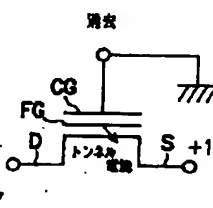
【図4】



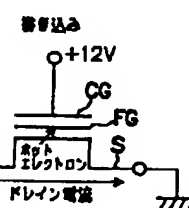
【図6】



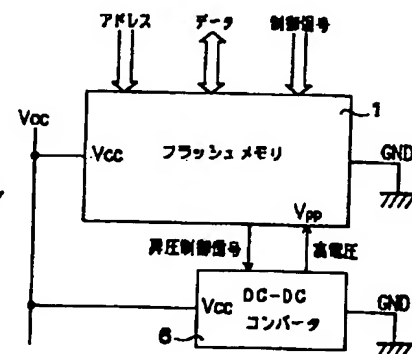
【図7】



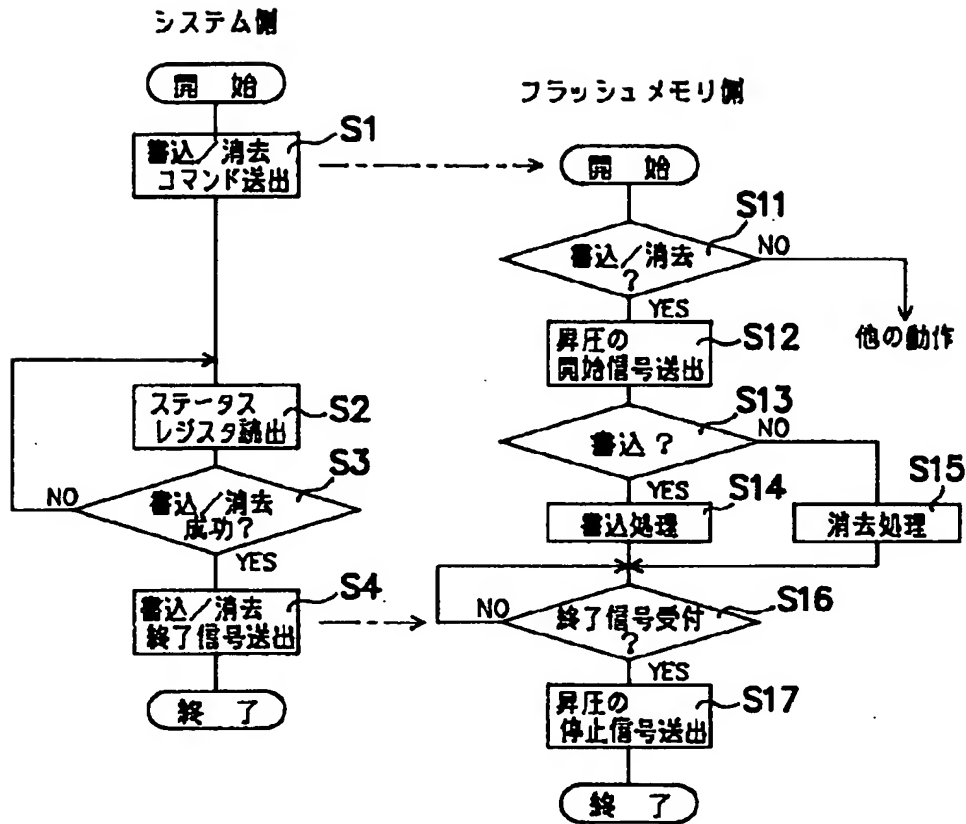
【図8】



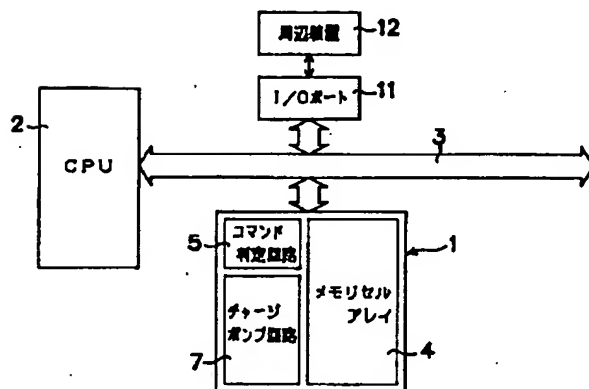
【図11】



【図5】



【図9】



【図10】

